

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020001162 A
(43)Date of publication of application: 09.01.2002

(21)Application number: 1020000035411

(22)Date of filing: 26.06.2000

(71)Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(72)Inventor:

YOO, JE HWAN

(51)Int. Cl.

G11C 29/00

(54) SEMICONDUCTOR MEMORY DEVICE COMPRISING SPECIFIC TIME MONITORING CIRCUIT

(57) Abstract:

PURPOSE: A semiconductor memory device comprising a specific time monitoring circuit is provided, which can control a specific time by monitoring the variation of the specific time by a process during a test.

CONSTITUTION: The specific time monitoring circuit comprises a NAND gate(NA1), inverters and n delay circuits. Each delay circuit comprises four cascaded inverters. A delay circuit comprises four cascaded inverters, and a delay circuit comprises four cascaded inverters. An input signal(IN) is inputted through one pad of a plurality of pads of the semiconductor memory device, and an output signal(OUT) is outputted through another pad. The NAND gate and the inverter output the input signal applied from a tester in response to a test control signal(PTEST) of high level. The delay circuits delay an output signal of the inverter by n times of a specific time(tSAC). The inverters output the output signal by delaying and buffering the output signals of n delay circuits.

&copy; KIPO 2002

Legal Status

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 29/00	(11) 공개번호 (43) 공개일자	특2002-0001162 2002년1월09일
(21) 출원번호	10-2000-0035411	
(22) 출원일자	2000년 06월 26일	
(71) 출원인	삼성전자 주식회사 윤종용	
(72) 발명자	경기 수원시 팔달구 매탄3동 416 유제환	
(74) 대리인	경기도수원시권선구권선동신우아파트703동201호 박상수	
심사청구 : 없음		
(54) 특정 시간 모니터링 회로를 구비한 반도체 메모리 장치		

요약

본 발명은 특정 시간 모니터링 회로를 구비한 반도체 메모리 장치를 공개한다. 그 장치는 테스트시에 테스트 신호에 응답하여 제1패드를 통하여 입력되는 신호를 입력하기 위한 신호 입력 회로, 및 신호 입력 회로를 통하여 입력되는 신호를 특정 시간의 소정 배수의 지연 시간을 가지고, 입력되는 신호를 지연하여 제2패드를 통하여 출력하기 위한 소정 개수의 직렬 연결된 제1지연 회로를 구비하며, 공정에 따른 특정 시간의 변화를 모니터링하는 것을 특징으로 한다.

따라서, 공정에 의한 특정 시간의 변화를 모니터링하여 공정에 의한 특정 시간의 변화를 계산하고, 클럭 버퍼의 지연 시간을 조절함으로써 스펙상의 특정 시간으로 조절하는 것이 가능하다.

도표도

도3

영세서

도면의 간단한 설명

- 도1은 종래의 반도체 메모리 장치의 클럭 버퍼의 실시예의 회로도이다.
- 도2는 종래의 반도체 메모리 장치의 데이터 출력 버퍼의 실시예의 회로도이다.
- 도3은 본 발명의 반도체 메모리 장치의 특정 시간 모니터링 회로의 실시예의 회로도이다.
- 도4는 도3에 나타난 회로의 동작을 설명하기 위한 타이밍도이다.
- 도5는 본 발명의 반도체 메모리 장치의 클럭 버퍼의 실시예의 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 테스트시에 공정에 의한 특정 시간의 변화를 모니터링함에 의해서 특정 시간을 조절할 수 있는 특정 시간 모니터링 회로를 구비한 반도체 메모리 장치에 관한 것이다.

종래의 동기형 동적 반도체 메모리 장치(SDRAM; synchronous dynamic random access memory device)는 테스트시에 스펙상의 동작 AC 파라메타들을 측정하게 된다.

이들 파라메타들은 시간에 관련되는 것으로서, 공정 변화에 의해서 스펙상의 시간을 만족시키지 못하게 되는 경우가 발생된다.

또한, 컴퓨터와 같은 시스템의 메인 메모리로서 활용되고 있는 SDRAM의 경우에는 시스템의 속도 증가에 따라 SDRAM의 동작 속도 또한 증가되어 가고 있다. 이에 따라, 동작 AC 파라메타들의 범위 좁아지고 있다.

따라서, 설계에 따라 공정을 진행하여 반도체 메모리 장치를 제조하였다고 하더라도 공정에 의해서 동작 AC 파라메타들이 스펙을 만족시키지 못하여 불량으로 판단되는 경우가 발생된다.

그러나, 종래의 반도체 메모리 장치는 테스트시에 스펙상의 AC 파라메타들을 만족시키지 못하여 불량으로

판단되는 경우에 AC 파라메타들을 조절할 수 있는 방법이 없었다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 테스트시에 공정에 의한 특정 시간의 변화를 모니터링하여 특정 시간을 조절할 수 있는 특정 시간 모니터링 회로를 구비한 반도체 메모리 장치를 제공하는데 있다.

이와같은 목적을 달성하기 위한 본 발명의 특정 시간 모니터링 회로를 구비한 반도체 메모리 장치는 테스트시에 테스트 신호에 응답하여 제1패드를 통하여 입력되는 신호를 입력하기 위한 신호 입력 수단, 및 상기 신호 입력 수단을 통하여 입력되는 신호를 특정 시간의 소정 배수의 지연 시간을 가지고, 상기 입력되는 신호를 지연하여 상기 제2패드를 통하여 출력하기 위한 소정 개수의 직렬 연결된 제1지연 회로를 구비하여, 공정에 따른 상기 특정 시간의 변화를 모니터링하는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부한 도면을 참고로 하여 본 발명의 특정 시간 모니터링 회로를 구비한 반도체 메모리 장치를 설명하기 전에 종래의 반도체 메모리 장치를 설명하면 다음과 같다.

도1은 종래의 반도체 메모리 장치의 클럭 버퍼의 실시예의 회로도로서, PMOS트랜지스터들(P1, P2, P3)과 NMOS트랜지스터들(N1, N2, N3)로 구성된 차동 증폭기(10), 인버터들(11, 12, 13)과 NOR게이트(NOR1)로 구성된 펄스 발생기(12), 지연회로(14), 및 인버터들(14, 15)로 구성된 지연 회로(16)로 구성되어 있다.

도1에서, 클럭 버퍼 제어신호(PCLKDQC)는 리드 명령 수행시에 '로우'레벨로 되는 신호이다.

도1에 나타난 회로의 동작을 설명하면 다음과 같다.

차동 증폭기(10)는 라이트 명령 수행시에 '하이'레벨의 클럭 버퍼 제어신호(PCLKDQC)에 응답하여 PMOS트랜지스터(P1)가 온되고, NMOS트랜지스터(N3)가 오프되어 디스에이블되고 출력신호를 '로우'레벨로 리셋한다. 리드 명령 수행시에 '로우'레벨의 클럭 버퍼 제어신호(PCLKDQC)에 응답하여 PMOS트랜지스터(P1)가 온되고, NMOS트랜지스터(N3)가 오프되어 기준전압(VREF)과 클럭신호(CLOCK)를 비교하여 클럭신호(CLOCK)의 레벨이 기준전압(VREF)의 레벨보다 크면 '로우'레벨의 출력신호를 발생하고, 클럭신호(CLOCK)의 레벨이 기준전압(VREF)의 레벨보다 작으면 '하이'레벨의 출력신호를 발생한다. 펄스 발생기(12)는 차동 증폭기(10)의 출력신호가 '하이'레벨이면 '로우'레벨의 신호를 발생하고, '하이'레벨에서 '로우'레벨로 천이하면 '로우'레벨에서 '하이'레벨로 천이하는 신호를 발생하고, 인버터들(11, 12, 13)의 지연 시간만큼 지연된 후 '로우'레벨로 천이하는 펄스를 발생한다. 지연회로(14)는 펄스 발생기(12)의 출력신호를 지연한다. 지연 회로(16)는 지연회로(14)의 출력신호를 버퍼하여 제어신호(PCLKDQ)를 발생한다.

도1에 나타난 클럭 버퍼는 클럭 버퍼 제어신호(PCLKDQC)에 응답하여 인에이블되고, 클럭신호(CLOCK)가 '로우'레벨에서 '하이'레벨로 천이하면 '로우'레벨에서 '하이'레벨로 천이된 후 인버터들(11, 12, 13)의 지연 시간만큼 지연된 후 '로우'레벨로 천이하는 제어신호(PCLKDQ)를 발생한다.

반도체 메모리 장치의 리드 통로의 전체적인 회로 구성은 국내 특허 출원 번호 제99-53754호의 도1을 참고로 하기 바란다.

도2는 종래의 반도체 메모리 장치의 데이터 출력버퍼의 실시예의 회로도로서, CMOS전송 게이트들(C1, C2), 인버터(16), 인버터들(17, 18)로 구성된 래치(18), 인버터들(19, 110, 111)로 구성된 반전 및 지연 회로(20), 인버터들(112, 113)로 구성된 래치(22), 및 인버터들(114, 115)로 구성된 지연 회로(24), PMOS트랜지스터(P4), 및 NMOS트랜지스터(N4)로 구성되어 있다.

도2에 나타난 회로의 동작을 설명하면 다음과 같다.

CMOS전송 게이트들(C1, C2)은 '하이'레벨의 제어신호(PCLKDQ)에 응답하여 데이터쌍(DQ, DQB)을 전송한다. 래치(18)는 CMOS전송 게이트(C1)의 출력신호를 전송하고 래치한다. 반전 및 지연회로(20)는 래치(18)의 출력신호를 반전하고 지연하여 출력한다. 래치(22)는 CMOS전송 게이트(C2)의 출력신호를 전송하고 래치한다. 지연회로(24)는 래치(22)의 출력신호를 지연한다. PMOS트랜지스터(P4)는 '로우'레벨의 반전 및 지연 회로(20)의 출력신호에 응답하여 '하이'레벨의 데이터 출력신호(DQ)를 발생한다. NMOS트랜지스터(N4)는 '하이'레벨의 반전 및 지연회로(24)의 출력신호에 응답하여 '로우'레벨의 데이터 출력신호(DQ)를 발생한다.

상술한 바와 같이 구성된 종래의 반도체 메모리 장치의 테스트는 테스트시에 특정 시간(tSAC)을 측정하기 위하여 클럭 버퍼로 인가되는 클럭 신호(CLOCK)의 상승 엣지로부터 데이터 출력 버퍼를 통하여 출력 데이터(DQ)가 발생하기 시작하는 시점까지의 시간을 측정하게 된다.

그래서, 테스트는 측정된 시간이 스펙상의 특정 시간(tSAC) 범위내에 포함되면 정상인 것으로 판단하고, 범위를 벗어나면 불량인 것으로 판단하게 된다.

이 경우에, 불량을 리페어할 수 있는 방법이 없으므로 장치의 수율이 감소되게 된다는 문제점이 있었다.

본 발명의 반도체 메모리 장치의 특정 시간 모니터링 회로를 AC 파라메타들중 특정 시간(tSAC)을 측정하는 경우를 예로 들어 설명하면 다음과 같다.

도3은 본 발명의 반도체 메모리 장치의 특정 시간 모니터링 회로의 실시예의 회로도로서, NAND게이트(NA1), 인버터들(116, 125, 126), 및 n개의 지연 회로들(30-1, ..., 30-n)으로 구성되어 있다.

n개의 지연 회로들 각각은 4개의 증속 연결된 인버터들로 구성되며, 도3에는 대표적으로 두 개의 지연 회로들(30-1, 30-n)만을 나타낸 것이다.

지연 회로(30-1)는 4개의 증속 연결된 인버터들(119, 120, 121, 122)로 구성되어 있고, 지연 회로(30-n)

는 4개의 종속 연결된 인버터들(121, 122, 123, 124)로 구성되어 있다.

그리고, 도3에서 입력 신호(IN)는 반도체 메모리 장치의 복수개의 패드들중의 하나의 패드를 통하여 입력되고, 출력 신호(OUT)는 복수개의 패드들중의 다른 하나의 패드를 통하여 출력된다.

NAND게이트(NA1)와 인버터(116)는 '하이' 레벨의 테스트 제어신호(PTEST)에 응답하여 테스트로부터 인가되는 입력 신호(IN)를 출력한다. n개의 지연 회로들(30-1, ..., 30-n) 각각은 스펙상의 특정 시간(tSAC)만큼의 지연 시간을 가지도록 설계되어 있다. n개의 지연 회로들(30-1, ..., 30-n)은 인버터(116)의 출력신호를 특정 시간(tSAC)의 n배로 지연한다. 인버터들(125, 126)은 n개의 지연 회로들(30-1, ..., 30-n)의 출력신호를 지연하고 버퍼하여 출력신호(OUT)를 발생한다.

즉, 테스트는 테스트시에 반도체 메모리 장치의 하나의 패드를 통하여 입력 신호(IN)를 인가한다. 그러면, 반도체 메모리 장치는 다른 하나의 패드를 통하여 출력 신호(OUT)를 테스트로 출력한다. 테스트는 입력 신호(IN)의 인가 시점에서 출력 신호(OUT)의 발생 시점까지의 지연 시간을 측정한다. 이때, 측정되는 지연 시간에서 NAND게이트(NA1)와 인버터들(116, 125, 126)에 의한 지연 시간을 빼면 특정 시간(tSAC)의 n배의 시간이 된다. 따라서, 이 시간을 n으로 나누면 공정에 의한 특정 시간(tSAC)의 변화가 계산된다. 만일 이때 계산된 특정 시간이 스펙상의 특정 시간(tSAC)보다 빠르면 제어신호(PCLKDQ)의 발생을 늦추면 되고, 느리면 제어신호(PCLKDQ)의 발생을 빠르게 해 주면 된다.

도4는 도3에 나타난 회로의 동작을 설명하기 위한 타이밍도로서, 테스트시에 테스트 신호(PTEST)가 '로우' 레벨에서 '하이' 레벨로 천이되고, 테스트로부터 반도체 메모리 장치로 토글링하는 입력 신호(IN)가 인가되면, 시간(T1)만큼 지연되어 토글링하는 출력 신호(OUT)가 반도체 메모리 장치로부터 테스트로 출력된다. 이때, 시간(T1)으로부터 NAND게이트(NA1)와 인버터들(116, 125, 126)에 의한 지연 시간을 빼면 특정 시간(tSAC)의 n배의 시간이 되고, 이 시간을 n으로 나누면 특정 시간(tSAC)이 된다. 계산된 특정 시간(tSAC)과 스펙상의 특정 시간(tSAC)을 비교하여 제어신호(PCLKDQ)의 발생 시점을 조절하면 된다.

도5는 본 발명의 반도체 메모리 장치의 클럭 버퍼의 실시예의 회로도로서, 도1에 나타난 클럭 버퍼의 지연 회로(14)와 지연 회로(16)사이에 퓨즈들(F1, F2, F3, F4), 저항들(R1, R2), 및 캐패시터들(C1, C2)로 구성된 지연 회로(42)를 더 구비하여 구성되어 있다. 그리고, 도1에 나타난 클럭 버퍼의 지연 회로(14)의 지연 시간과 지연 회로들(40, 42)에 의한 총 지연 시간이 동일하게 구성되어 있다.

즉, 도1과 도5에 나타난 클럭 버퍼는 클럭 신호(CLOCK)의 입력 시점으로부터 제어신호(PCLKDQ)가 발생되기까지의 시간이 서로 동일하다.

도3에 나타난 회로를 이용하여 테스트에 의해서 공정에 의한 특정 시간(tSAC)의 변화가 모니터링되면, 지연 회로(42)의 퓨즈를 커팅함에 의해서 스펙상의 특정 시간(tSAC)으로 조절하는 것이 가능하다.

만일, 계산된 특정 시간이 스펙상의 특정 시간(tSAC)보다 크다면 제어신호(PCLKDQ)의 발생 시점을 앞당겨야 한다. 이 경우에는 퓨즈들(F3, F4)을 커팅하고, 퓨즈들(F1, F2)을 커팅하지 않음에 의해서 지연 회로(42)에 의한 지연 시간을 거의 0으로 조절할 수 있다.

그리고, 약간만 지연시키기를 원할 경우에는 퓨즈들(F1, F2)과 퓨즈들(F3, F4)을 커팅하고 커팅하지 않음에 의해서 지연 시간을 조절할 수 있다. 즉, 퓨즈들(F1, F2, F3, F4)을 모두 커팅하면 저항들(R1, R2)에 의한 지연 시간을 가지게 되고, 퓨즈들(F1, F4)을 커팅하게 되면 저항(R1)과 캐패시터(C1)에 의한 지연 시간을 가지게 된다. 퓨즈들(F1, F2, F3, F4)의 일부를 커팅하고 커팅하지 않음에 의해서 지연 시간을 다양하게 조절하는 것이 가능하다.

즉, 상술한 바와 같은 방법으로 계산된 특정 시간과 스펙상의 특정 시간(tSAC)을 비교함에 의해서 제어신호(PCLKDQ)의 발생 시점을 조절함으로써 스펙상의 특정 시간(tSAC)으로 조절하는 것이 가능하다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

본 발명의 특정 시간 모니터링 회로를 구비한 반도체 메모리 장치는 공정에 의한 특정 시간의 변화를 모니터링하여 공정에 의한 특정 시간의 변화를 계산하고, 클럭 버퍼의 지연 시간을 조절함으로써 스펙상의 특정 시간으로 조절하는 것이 가능하다. 따라서, 장치의 수율이 향상된다.

또한, 테스트의 측정 정확도가 낮은 경우에도 반도체 메모리 장치내에 특정 시간 모니터링 회로를 구비하여 공정에 의한 특정 시간의 변화를 정확하게 모니터링할 수 있다.

(57) 청구의 범위

청구항 1. 테스트시에 테스트 신호에 응답하여 제1패드를 통하여 입력되는 신호를 입력하기 위한 신호 입력 수단; 및

상기 신호 입력 수단을 통하여 입력되는 신호를 특정 시간의 소정 배수의 지연 시간을 갖도록 상기 입력되는 신호를 지연하여 상기 제2패드를 통하여 출력하기 위한 제1지연 회로를 구비하며,

공정에 따른 상기 특정 시간의 변화를 증폭시켜 모니터링하는 것을 특징으로 하는 반도체 메모리 장치의 공정 변화 모니터링 테스트 방법.

청구항 2. 제1항에 있어서, 상기 테스트시에 상기 소정 개수의 직렬 연결된 제1지연 회로의 지연 시간을 측정하고, 상기 지연 시간을 소정수로 나누어서 공정에 따른 상기 특정 시간의 변화를 계산하는 것을 특징으로 하는 반도체 메모리 장치의 특정 시간 모니터링 회로.

청구항 3. 제2항에 있어서, 상기 특정 시간의 변화가 계산되면

상기 특정 시간과 관련있는 해당 회로 블록의 지연 시간을 조절함에 의해서 상기 특정 시간을 조절하는 것을 특징으로 하는 반도체 메모리 장치의 특정 시간 모니터링 회로.

청구항 4. 제3항에 있어서, 상기 해당 회로 블록은

제1노드와 제2노드사이에서 직렬 연결된 소정 개수의 저항;

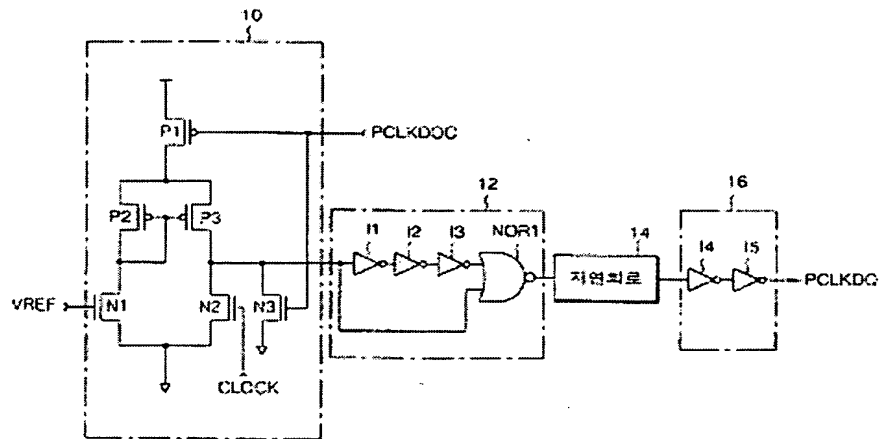
상기 소정 개수의 저항들에 병렬 연결된 소정 개수의 제1퓨즈; 및

상기 소정 개수의 저항들의 공통점을 및 상기 제2노드와 접지전압사이에 직렬 연결된 소정 개수의 제2퓨즈와 캐패시터를 구비하여,

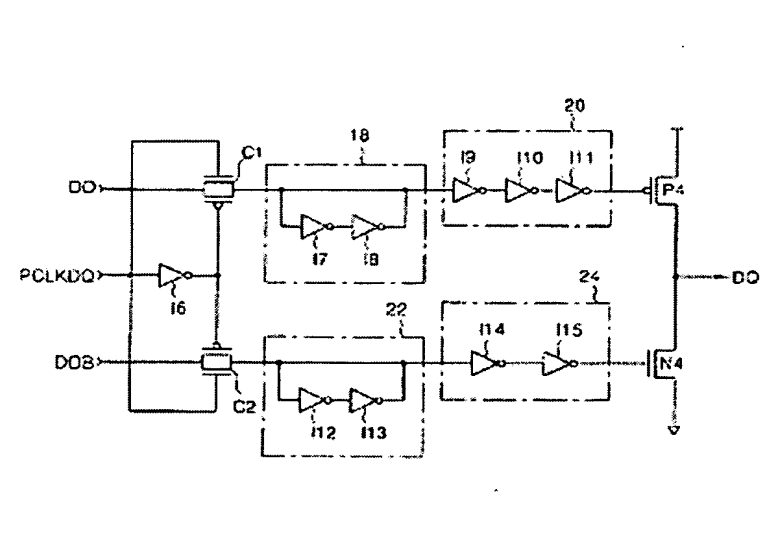
상기 퓨즈를 컷팅하고, 컷팅하지 않음에 의해서 상기 특정 시간을 조절하는 것을 특징으로 하는 특정 시간 모니터링 회로를 구비한 반도체 메모리 장치.

도면

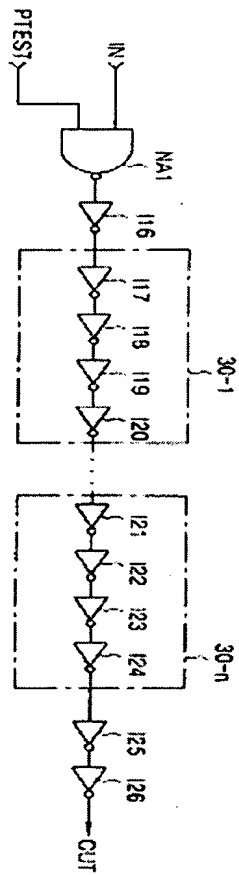
도면1



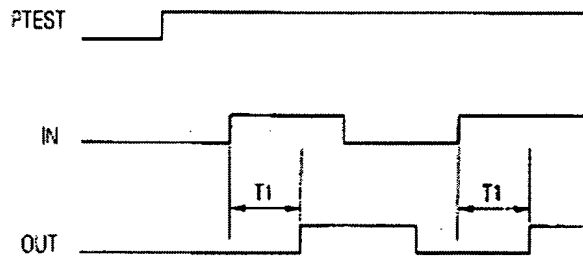
도면2



도 3



도 4



도 5

